

## RECHNER UND NETZE

## UNTERRICHTSGANG

Dieses Werk ist unter einem **Creative Commons 3.0 Deutschland Lizenzvertrag** lizenziert:

- Namensnennung
- Keine kommerzielle Nutzung
- Weitergabe unter gleichen Bedingungen

Um die Lizenz anzusehen, gehen Sie bitte zu <https://creativecommons.org/licenses/by-nc-sa/3.0/de>.

Monika Eisenmann – E-Mail: [eisenmann.schule@email.de](mailto:eisenmann.schule@email.de). – März 2020

## Grundgedanken zur Unterrichtseinheit

### **Bildungsplan**

„Die Schülerinnen und Schüler lernen die logischen Gatter als Grundbausteine kennen, mit der digitale Logik realisiert werden kann. Ausgehend von logischen Gattern und deren Wahrheitstafeln werden mehrere Gatter zu immer komplexeren Bausteinen (Halbaddierer, Volladdierer, Mehrbitaddierer) kombiniert. So erfahren die Schülerinnen und Schüler, wie sich prinzipiell beliebig komplexe Schaltnetze aus den Basisgattern kombinieren lassen. Bistabile Bauteile als Bitspeicher stellen die Grundlage der Datenspeichern in Chips/Rechnern dar.

Ebenso wie Basisgatter zu komplexeren Bauteilen kombiniert werden, lassen sich auch ganze Rechner zu Netzwerken zusammenschalten. Das Grundproblem des Datentransports über mehrere Knoten (Routing) wird in einer geeigneten Simulationsumgebung nachgestellt und in verschiedenen Szenarien simuliert. Mechanismen wie Subnetting oder die Namensauflösung per Domain Name System geben Einblick in die Funktionsweise des Internets.“<sup>1</sup>

### **Vorkenntnisse**

Im Informatikteil von IMP taucht das erste Mal das Thema „Rechner“ (im Rahmen der technischen Informatik) auf. Allerdings bringen hier die Schülerinnen und Schüler aus den beiden Vorjahren aus allen drei Teilen schon Kenntnisse über logische Verknüpfungen, Aussagenlogik und Schaltungen mit.

Beim Thema „Netzwerke“ haben sich die Schülerinnen und Schüler in Klasse 8 schon intensiv mit lokalen Netzen auseinandergesetzt und die Simulationssoftware Filius kennengelernt. Die Begriffe der Adressierung und der Namensauflösung (DNS) wurden in lokalen Netzwerken erläutert.

### **Fachlicher Hintergrund**

Zum ersten Teil der Unterrichtseinheit gibt es ein Hintergrunddokument, das für die Einheit im Jahreskurs verfasst wurde:

[https://lehrerfortbildung-bw.de/u\\_matnatech/informatik/gym/weiteres/fb3/2\\_techinf/1\\_hintergrund/1\\_info/](https://lehrerfortbildung-bw.de/u_matnatech/informatik/gym/weiteres/fb3/2_techinf/1_hintergrund/1_info/)

Für den zweiten Teil ist das Hintergrunddokument aus Klasse 8 weiterhin gültig. Dort wurde die Erweiterung von Netzen auf Wide Area Networks bzw. das Internet schon mit aufgenommen.

### **Simulationsumgebungen**

Im Unterrichtsmaterial wurde für den ersten Teil die Simulationsumgebung LogicSim<sup>2</sup> und im zweiten Teil Filius<sup>3</sup> verwendet. Beide Programme sind kostenlos und auch für die Schülerinnen und Schüler in der Schule einsetzbar.

1 <http://www.bildungsplaene-bw.de/Lde/LS/BP2016BW/ALLG/GYM/IMP/IK/10/01/03> (Abgerufen am 06.04.2020)

2 [http://www.tetzi.de/java\\_logic\\_simulator\\_de.html](http://www.tetzi.de/java_logic_simulator_de.html) (Abgerufen am 06.04.2020)

3 <https://www.lernsoftware-filius.de/> (Abgerufen am 06.04.2020)

## Unterrichtsverlauf

### **Wiederholung logische Verknüpfungen – Aussagenlogik – Gatter**

Die ersten beiden Materialien gehen über ca. drei Unterrichtsstunden.

In der Datei 01\_run\_zuordnungsspiel finden Sie ein Legespiel, das Sie vorab kopieren, schneiden und ggf. laminieren sollten. Die weiteren Seiten sind als Arbeitsblätter für die Schülerinnen und Schüler gedacht.

In Partner- oder Gruppenarbeit ordnen die Schülerinnen und Schüler jeder logischen Verknüpfung, die sie schon kennengelernt haben, ein logisches Gatter, eine Wahrheitstafel und den Begriff mit Schaltfunktion zu und übertragen ihre Ergebnisse in eine Tabelle auf dem zugehörigen Arbeitsblatt. Vertiefend überlegen sie sich anschließend noch, warum die Schaltsymbole so beschriftet wurden, wie sie es sind.

### **Vom Schaltnetz zur Wahrheitstafel**

In den weiteren Aufgaben wird der Begriff des Schaltnetzes eingeführt und die Schülerinnen und Schüler füllen zu Schaltnetzen zugehörige Wahrheitstafeln aus.

In Aufgabe 6 erhalten sie den Auftrag, sich anhand der Anleitung 02\_run\_anleitung\_logicsim in die Simulationsumgebung LogicSim einzuarbeiten.

In der Anleitung lernen die Schülerinnen und Schüler den Umgang mit LogicSim und erstellen auch ein erstes eigenes Modul für die Subjunktion. Natürlich können Sie auch gemeinsam mit ihnen die Umgebung erkunden und ihnen die wichtigsten Dinge zeigen.

Nachdem sie diese Anleitung durchgearbeitet haben oder von Ihnen in LogicSim eingeführt wurden, bekommen sie auf dem Aufgabenblatt noch den Auftrag, drei Logikrätsel aus Klasse 9 mithilfe einer Simulation mit LogicSim zu lösen. Achtung: Hierfür brauchen sie ihr selbsterstelltes Modul der Subjunktion.

Für Schnelle können Sie noch weitere Aufgaben aus dem Mathe-Teil aus IMP 9 parat haben.

### **Von der Wahrheitstafel zum Schaltnetz**

Um den Umgang mit logischen Gattern zu festigen, können Sie zum Einstieg in die nächste Stunde das Spiel Digitalo<sup>4</sup> spielen. Die Karten finden sie in normaler Kartengröße (03a\_run\_digitale\_karten) oder in kleiner Größe (03a\_run\_digitalo\_karten\_klein) im Vorlagen-Tauschordner. Die Spielanleitung finden Sie unter dem angegebenen Link in der Fußnote. Stellen Sie die Karten mit Rückseite her, um die Urheberrechte einzuhalten.

Im weiteren Verlauf der Stunde drehen wir die Aufgabenrichtung: Aus einer Wahrheitstafel mit drei Eingabegrößen soll ein Schaltnetz gebaut werden. Achtung: Hier geht es noch nicht um Minimierung von Schaltfunktionen. Das ist nur Vorarbeit für z.B. passende Schaltnetze beim Addieren und wird dann in der Kursstufe wieder aufgegriffen.

Wie eine Wahrheitstafel „übersetzt“ werden kann, wird auf dem Arbeitsblatt beschrieben und das zugehörige Schaltnetz gezeigt.

Die Schülerinnen und Schüler bekommen den Auftrag, in LogicSim mit der LogicSim-Datei 03\_run\_schaltnetz\_aus\_wt, die Zusammengehörigkeit von Wahrheitstafel und Schaltnetz durch Simulieren aller Möglichkeiten zu zeigen.

4 <https://www.inf-schule.de/rechner/digitaltechnik/gatter/digitalo> (Abgerufen am 06.04.2020)

Im Anschluss daran entwerfen sie zur Übung eine eigenen Wahrheitstafel, die sie in ein Schaltnetz übersetzen, welches sie in LogicSim bauen und simulieren sollen.

## ***Ein besonderes Gatter: das NAND-Gatter***

In der nächsten Stunde bekommen die Schülerinnen und Schüler die Information, dass das NAND-Gatter eine besondere Rolle innerhalb der Digitaltechnik spielt und den Auftrag, die logischen Grundgatter lediglich mit NAND-Gattern zu bauen (04\_run\_alles\_aus\_nand).

Dieser Auftrag wird zunehmend schwieriger. Überlegen Sie sich je nach Gruppe, ob Sie ein bisschen der Vorarbeit mit den Schülerinnen und Schülern gemeinsam gehen wollen. Sie können auch die Lösungen zu den einzelnen Aufgaben schrittweise herausgeben.

Aufgabe 4, die Ersetzung von XOR durch NAND-Gatter ist sehr schwierig und zur Differenzierung geeignet. Außerdem können Interessierte die ersten vier Level des NAND-Games<sup>5</sup> spielen. Hier müssen sie die gleichen Aufgaben erledigen, bekommen aber zusätzlich noch die Information, ob sie die perfekte Lösung (minimale Anzahl an Gattern) gefunden haben.

Für Schülerinnen und Schüler, die an der letzten Aufgabe scheitern gibt es eine Extraaufgabe. Sie sollten XOR durch beliebige andere Logikgatter ersetzen.

## ***Bitweise Addition – Halbaddierer, Volladdierer, Mehrbitaddierer***

Für das Entwickeln der bitweisen Addition und den Bau von entsprechenden Schaltnetzen sind zwei Stunden angedacht. Die Aufträge finden Sie in der Datei 05\_run\_addierer.

Zunächst einmal wird die schriftliche Addition zweier Binärzahlen von Hand wiederholt. Dies ist wichtig als Vorüberlegung, was in jedem Schritt passieren muss. Zur Kontrolle werden die Binärzahlen ins Dezimalsystem umgewandelt, dort addiert und mit dem Ergebnis verglichen.

Eine weitere Vorüberlegung, die für den Entwurf von „Addierern“ wichtig ist, folgt in Aufgabe 3. Hier geht es um die mögliche Maximalzahl an Bits in der Summe zweier n-Bit-Zahlen. Die Schülerinnen und Schüler sollen sich klarmachen, dass bei zwei n-Bit-Zahlen maximal eine (n+1)-Bit-Zahl als Summe herauskommen kann.

Wichtig ist noch, dass sich der erste Schritt, also die Addition der letzten beiden Bits von allen weiteren Schritten unterscheidet, da ab dem zweiten Schritt das Übertrags-Bit hinzukommt.

In Aufgabe 5 wird für alle vier Möglichkeiten bei der Addition von zwei Bits das Übertrags- und das Summenbit gesucht. Um ein Schaltnetz für den ersten Schritt entwerfen zu können, brauchen die Schülerinnen und Schüler für beide Ausgänge mögliche Logikgatter, die sie dafür nutzen können.

Es folgt der Auftrag, in LogicSim ein Schaltnetz für zwei Eingabegrößen zu entwerfen, das die beiden gewünschten Ausgaben besitzt, es im Anschluss zu testen und ein neues Modul namens Halbaddierer (HA) zu erstellen.

Eine Schwierigkeit bei den Schülerinnen und Schülern könnte hier sein, dass bei der schriftlichen Addition die Bits a und b untereinander, darunter das Übertrags-Bit vom vorherigen Schritt und ganz darunter das Summen-Bit stehen. Der nächste Schritt ist links daneben wieder genauso aufgebaut.

Arbeitet man mit den Schaltnetzen, so dreht sich das ganze. Deshalb ist es auch wichtig, die Bezeichner überall mitzuführen.

<sup>5</sup> <http://nandgame.com/> (Abgerufen am 06.04.2020)

In allen weiteren Schritten werden drei Eingabegrößen gebraucht, da das Übertrags-Bit aus dem vorherigen Schritt dazukommt. Man könnte hier wieder eine Wahrheitstafel mit den drei Eingabegrößen füllen und nach passenden Gattern bzw. Schaltnetzen suchen, aber das ist hier ziemlich umständlich und geht viel einfacher, wenn wir den Halbaddierer aus Schritt 1 nutzen.

Die Beschreibung für die weiteren Schritte findet sich auf dem Arbeitsblatt. Für das Verständnis ist Aufgabe 8 sehr wichtig. Dort überlegen sich die Schülerinnen und Schüler zum Rechenbeispiel aus Aufgabe 1 schrittweise, was jeweils als zweiter Ausgang bei den beiden Halbaddierern herauskommt und wie die beiden zum „echten“ Übertrags-Bit verknüpft werden müssen.

Sie können die einzelnen Schritte aus den Lösungen auch zur Kontrolle auslegen, falls jemand unsicher ist.

In Aufgabe 9 soll das gesuchte Gatter (ein OR-Gatter liefert das Gewünschte; übrigens kann eine der Möglichkeiten, nämlich dass beide Zwischen-Übertrags-Bits 1 sind, nicht sein; aber das stört nicht bei der Aufgabe) angegeben werden.

Ab Aufgabe 10 nutzen die Schülerinnen und Schüler wieder LogicSim und entwerfen zunächst ein Schaltnetz für einen weiteren Schritt (ab Schritt 2) und erstellen darauf ein neues Modul mit drei Eingängen und zwei Ausgängen, das sie Volladdierer (VA) nennen.

In der letzten Aufgabe soll aus einem Halbaddierer (Schritt 1) und ausreichend Volladdierern (für die weiteren Schritte) ein Schaltnetz entworfen und getestet werden, mit dem man die Addition aus Aufgabe 1 durchspielen kann. Gerne können die Schülerinnen und Schüler hier auch ein neues Modul erstellen. Sie haben einen Mehrbitaddierer entworfen, genauer hier einen 6-Bit-Addierer.

Diesen können sie an weiteren Beispielen austesten. Dafür können sie Zahlen nutzen, die bis zu 6 Bit lang sind.

## **Ein bistabiles Bauteil: der RS-Flipflop**

In einer letzten Stunde zum Thema „Rechner“ im Bereich „Rechner und Netze“ lernen die Schülerinnen und Schüler ein für sie ungewöhnliches Bauteil kennen (06\_run\_rs\_flipflop).

Ungewöhnlich ist es für die Schülerinnen und Schüler deshalb, weil es bei gleichen Eingabewerten, je nach vorheriger Eingabe, unterschiedliche Belegungen der Ausgänge haben kann.

Zunächst sollen die Schülerinnen und Schüler das Bauteil in LogicSim testen. Sie simulieren verschiedene Zustände der Reihe nach, wie in der Tabelle vorgegeben, und füllen die Werte für die Ausgabegrößen aus. Ihre Beobachtungen notieren sie sich dazu.

In einer LogicSim-Datei 06\_run\_flipflop\_innerei ist das RS-Flipflop-Schaltnetz mit zwei NOR-Gattern gebaut. Hier sehen die Schülerinnen und Schüler in den einzelnen Schritten besser, was passiert und welche Auswirkungen die beiden Werte bei Q und P haben.

Ziel ist, dass sie erkennen, dass in Q immer die Information steckt, an welchem der beiden Eingänge R oder S als letztes die 1 anlag. Ist Q=0, so war die 1 bei R, ist Q=1, so war sie bei S. Die Schaltung „merkt“ sich also die letzte 1. Sie wird auch als bistabiles Bauteil bezeichnet, weil sie zwei stabile Zustände des Ausgangssignals besitzt. So kann hier die Datenmenge von einem Bit gespeichert werden.

***Zu den Items zu Netzwerken gibt es (noch) keine Arbeitsblätter.***